

MATRIX TYPE DISPLAY DEVICE

Publication number: JP2000122611 (A)

Publication date: 2000-04-28

Inventor(s): NINOYU HISANORI; SAITO HIDEKI; OSADA MASAHICO

Applicant(s): DENSO CORP

Classification:

- international: G09G3/36; G02F1/133; G02F1/1343; G09G3/20; G09G3/30;
G09G3/36; G02F1/13; G09G3/20; G09G3/30;
(IPC1-7): G09G3/30; G02F1/133; G02F1/1343; G09G3/20;
G09G3/36

- European:

Application number: JP19980300031 19981021

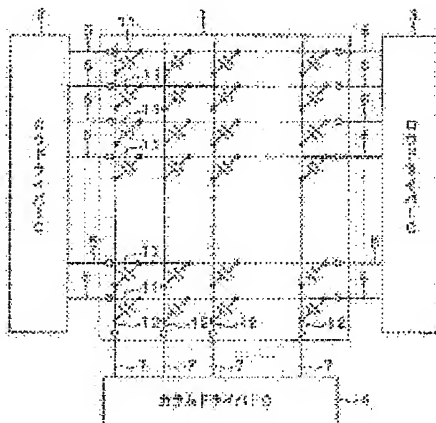
Priority number(s): JP19980300031 19981021

Also published as:

JP3879275 (B2)

Abstract of JP 2000122611 (A)

PROBLEM TO BE SOLVED: To prevent short-circuit between two row drivers IC, in an EL display device to be applied with a scanning voltage simultaneously by two row drivers IC from both sides of scanning electrodes. **SOLUTION:** In this display device, a first and a second row drivers IC 2, 3 are connected to the both sides of scanning electrodes 11, and a scanning voltage is applied simultaneously from the both sides of the scanning electrodes 11, and each output of the first and the second row drivers IC 2, 3 is set in the high impedance state for the period from the beginning to the end of the output of the scanning voltage.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-122611

(P2000-122611A)

(43) 公開日 平成12年4月28日 (2000. 4. 28)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 2 H 0 9 2
G 0 2 F 1/133	5 4 5	G 0 2 F 1/133	5 4 5 2 H 0 9 3
	1/1343		5 C 0 0 6
G 0 9 G 3/20	6 2 2	G 0 9 G 3/20	6 2 2 D 5 C 0 8 0
	6 4 2		6 4 2 A

審査請求 未請求 請求項の数 3 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願平10-300031

(22) 出願日 平成10年10月21日 (1998. 10. 21)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 二之湯 寿典

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72) 発明者 斎藤 英樹

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(74) 代理人 100100022

弁理士 伊藤 洋二 (外1名)

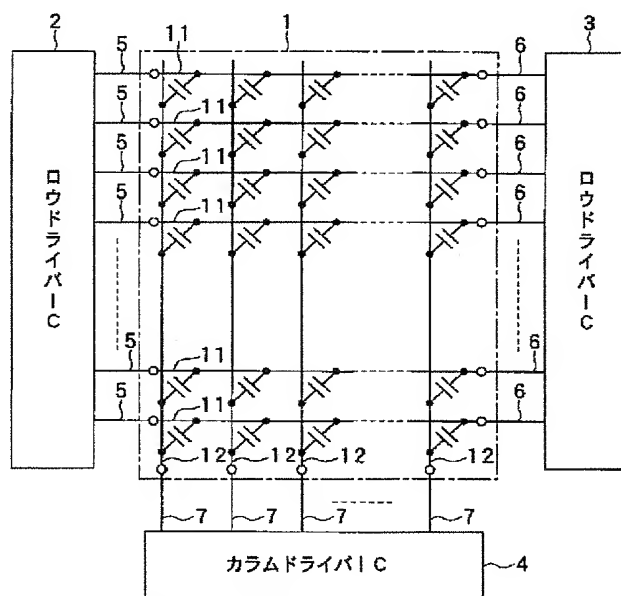
最終頁に続く

(54) 【発明の名称】 マトリクス型表示装置

(57) 【要約】

【課題】 走査電極の両側から2つのロウドライバICによって走査電圧を同時に印加するようにしたEL表示装置において、2つのロウドライバICの短絡を防止する。

【解決手段】 走査電極11の両側に第1、第2のロウドライバIC2、3を接続して、走査電極11の両側から走査電圧を同時に印加するようにし、その走査電圧を出力する前後の期間において、第1、第2のロウドライバIC2、3のそれぞれの出力をハインピーダンス状態にした。



【特許請求の範囲】

【請求項 1】 互いに直交するように配置された第 1、第 2 の電極（11、12）を有する表示パネル（1）を備え、前記第 1、第 2 の電極（11、12）の交差位置にて形成される画素によってマトリクス表示を行うようにしたマトリクス型表示装置において、

前記第 1、第 2 の電極（11、12）の少なくとも一方の電極（11）において、その一端に第 1 の駆動手段

（2）から電圧パルスが出力されると同時に、他端に第 2 の駆動手段（3）から電圧パルスが出力されるようになっており、

前記第 1、第 2 の駆動手段のそれぞれは、前記電圧パルスを出力する前後の期間において出力がハイインピーダンス状態になるようになっていることを特徴とするマトリクス型表示装置。

【請求項 2】 前記第 1、第 2 の駆動手段（2、3）のそれぞれは、前記電極（11）にハイレベルの電圧を出力するための第 1 のスイッチング手段（21）と、前記電極（11）にローレベルの電圧を出力するための第 2 のスイッチング手段（22）を有しており、前記第 1、第 2 の駆動手段（2、3）は、それぞれの第 1、第 2 のスイッチング手段（21、22）が同一の制御信号によりオフして前記ハイインピーダンス状態になるようになっていることを特徴とする請求項 1 に記載のマトリクス型表示装置。

【請求項 3】 走査電極（11）とデータ電極（12）がマトリクス状に配置された EL パネル（1）と、前記走査電極（11）に走査電圧を出力する走査電極駆動手段（2、3）と、

前記データ電極（12）に変調電圧を出力するデータ電極駆動手段（4）とを備え、

前記走査電極駆動手段（2、3）は、前記走査電極の一端に前記走査電圧を出力する第 1 の走査電極駆動手段

（2）と、前記走査電極の他端に前記走査電圧を出力する第 2 の走査電極駆動手段（3）とを備えて、前記走査電極の両端から前記走査電圧を同時に印加するようになっており、

前記第 1、第 2 の走査電極駆動手段（2、3）のそれぞれは、前記走査電圧を出力する前後の期間において出力がハイインピーダンス状態になるようになっていることを特徴とするマトリクス型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マトリクス表示を行うマトリクス型表示装置に関する。

【0002】

【従来の技術】従来、この種のマトリクス型表示装置においては、表示パネルに走査電極とデータ電極を直交するように配置し、走査電極とデータ電極が交差する位置に形成される画素によってマトリクス表示を行うように

したものが種々提案されている。

【0003】このようなマトリクス型表示装置においては、走査電極、データ電極の少なくとも一方を ITO などを有した透明電極としている。この透明電極は、金属電極に比べて比抵抗が高いため、その配線抵抗によって電極の電圧印加側から他端に向けて電圧になまりが生じ、輝度むらが生じるという問題がある。このような問題を解決するため、特開平 2-88 号公報においては、走査電極の一端および他端を、それぞれ第 1、第 2 の走査電極駆動回路に接続して、走査電極の両側から走査電圧を同時に印加するようにしたものが開示されている。

【0004】

【発明が解決しようとする課題】しかしながら、走査電極の両側から別々の走査電極駆動回路で走査電圧を印加するようにした場合、一方の走査電極駆動回路から出力される走査電圧と他方の走査電極駆動回路から出力される走査電圧の立ち上がりと立ち下がりに、時間的なずれが生じると、2 つの走査電極駆動回路が短絡し、過大電流が流れるなどの問題が生じる。

【0005】本発明は上記問題に鑑みたもので、電極の両側から別々の駆動回路によって電圧を同時に印加するマトリクス型表示装置において、2 つの駆動回路の短絡を確実に防止できるようにすることを目的とする。

【0006】

【課題を解決するための手段】上記目的を達成するため、請求項 1、2 に記載の発明においては、互いに直交するように配置された第 1、第 2 の電極（11、12）の少なくとも一方の電極（11）において、その一端に第 1 の駆動手段（2）から電圧パルスが出力されると同時に、他端に第 2 の駆動手段（3）から電圧パルスが出力されるようになっており、第 1、第 2 の駆動手段のそれぞれの出力を、前記電圧パルスを出力する前後の期間においてハイインピーダンス状態になるようにしたことを特徴としている。

【0007】この発明によれば、電圧パルスを出力する前後の期間をハイインピーダンス状態にしているから、第 1 の駆動手段（2）、第 2 の駆動手段（3）から出力される電圧パルスの出力タイミングを合わせることができ、2 つの駆動手段（2、3）の短絡を防止することができる。また、請求項 3 に記載の発明においては、請求項 1 に記載の発明をマトリクス型の EL 表示装置に適用し、第 1 の走査電極駆動手段（2）と第 2 の走査電極駆動手段（3）から出力される走査電圧の出力タイミングを合わせて、2 つの走査電極駆動手段（2、3）の短絡を防止することができる。

【0008】なお、上記した括弧内の符号は、後述する実施形態記載の具体的手段との対応関係を示すものである。

【0009】

【発明の実施の形態】図 1 に本発明の一実施形態を示す

EL表示装置の全体構成を示す。ELパネル1は、発光層を挟んで、一方の側に走査電極11が複数形成され、他方の側にデータ電極12が複数形成されたもので、走査電極11とデータ電極12の交差領域には、画素としてのEL素子がマトリクス状に形成されている。なお、EL素子は容量性の素子であるため、図ではコンデンサの記号で表している。

【0010】走査電極11は、ITOなどの透明電極で構成されており、走査電極11における左側端部、右側端部がCuなどの金属の通電線5、6を介してロウドライバIC2、3にそれぞれ接続されている。また、データ電極12も、ITOなどの透明電極で構成されており、Cuなどの金属の通電線7を介してカラムドライバIC4に接続されている。なお、Cuなどの金属の通電線5～7の比抵抗は、ITOなどの透明電極に比べて略1/10以下となっている。

【0011】ロウドライバIC（走査電極駆動回路）2、3は、走査電極11のそれぞれに両側から走査電圧を順次印加する線順次走査を行い、カラムドライバIC（データ電極駆動回路）4は、データ電極12のそれぞれに変調電圧（データ電圧）を印加する。このような走査電圧と変調電圧により各EL素子に発光、非発光の電圧パルス印加して、ELパネル1にマトリクス表示を行わせる。なお、ロウドライバIC2、3、カラムドライバIC4は、フィールド毎に正負に極性反転する電圧パルスを各EL素子に印加して、その発光駆動を行うようにしている。

【0012】次に、上記したロウドライバIC2、3による駆動について説明する。ロウドライバIC2、3は同一構成のもので、図2に示すような構成になっている。このロウドライバIC2、3としては、μPD16302として市販されているロウドライバICを用いることができる。このロウドライバICは、走査電圧を出力するための出力段にPチャネルFET21、NチャネルFET22を有しており、PチャネルFET21がオンしているときには出力Oからハイレベルの電圧（VDDの電圧）を出力し、NチャネルFET22がオンしているときには出力Oからローレベルの電圧（VSSの電圧）を出力し、PチャネルFET21、NチャネルFET22が共にオフしているときには出力Oがハイインピーダンス状態になるものである。

【0013】また、このロウドライバICは、シフトレジスタ23を有しており、このシフトレジスタ23は、そのR/Lバー端子がハイレベルのとき、データ入力端子Aに行選択パルス信号（周期が垂直同期信号に相当する信号）が入力されると、CLK信号の立ち上がりタイミングでS_i端子、…、S₄端子から順にハイレベル信号を出力する。なお、図では40個の出力を行う1つのシフトレジスタについて示しているが、このシフトレジスタの出力端子Bを、後段のシフトレジスタのデータ入

力端子Aに接続するようになれば、複数のシフトレジスタにて所望数の出力を得ることができる。

【0014】シフトレジスタ23のS_i端子、…、S₄端子の出力は、ANDゲート24の一方の入力端子に入力される。また、ANDゲート24の他方の入力端子には、OEバー信号（バーは図に示すように負論理信号を表す、以下同じ）をインバータ25で反転した信号が入力される。OEバー信号は、出力イネーブル信号であって、この実施形態では、PチャネルFET21、NチャネルFET22をオフして出力Oをハイインピーダンス状態にするための制御信号として用いられている。

【0015】また、ANDゲート24の出力は、NANDゲート26、NORゲート27のそれぞれの一方の入力端子に入力される。また、NANDゲート26、NORゲート27のそれぞれの他方の入力端子には、PCバー信号が入力される。このPCバー信号は、PチャネルFET21、NチャネルFET22を選択する信号として用いられる。

【0016】次に、ロウドライバIC2、3の作動について図3に示すタイミングチャートを参照して説明する。上記した行選択パルス信号、CLK信号、PCバー信号、OEバー信号は、図示しない外部回路によって図3に示す信号として出力される。ここで、行選択パルス信号がシフトレジスタ23に入力されると、CLK信号の立ち上がりタイミングでS_i端子、…、S₄端子から順にハイレベル信号が出力される。なお、それぞれの端子から出力されるハイレベル信号は、次のCLK信号の立ち上がりまで維持される。

【0017】また、CLK信号の立ち上がりタイミングからの所定期間T₁と立ち下がりタイミングからの所定期間T₂においては、OEバー信号がハイレベルになる。OEバー信号がハイレベルになっているときには、ANDゲート24が閉じてその出力がローレベルになるため、NANDゲート26の出力がハイレベル、NORゲート27の出力がローレベルになり、PチャネルFET21、NチャネルFET22が共にオフして出力Oがハイインピーダンス状態になる。

【0018】また、OEバー信号がローレベルになっているときには、ANDゲートが開いているため、シフトレジスタ23のS_i端子、…、S₄端子のうちハイレベル信号を出力している端子に接続されたANDゲート24からハイレベル信号が出力される。そして、そのハイレベル信号を入力とするNANDゲート26、NORゲート27においては、PCバー信号がハイレベルのとき両出力ともローレベルになり、またPCバー信号がローレベルのとき両出力ともハイレベルになる。そして、NANDゲート26、NORゲート27の両出力が共にローレベルのとき、PチャネルFET21がオン、NチャネルFET22がオフして出力Oからハイレベルの電圧が出力され、NANDゲート26、NORゲート27の

両出力が共にハイレベルのとき、PチャネルFET 21がオフ、NチャネルFET 22がオンして出力Oからローレベルの電圧が出力される。

【0019】なお、図3において、Zはハイインピーダンスの期間を示し、PはPチャネルFET 21をオンさせている期間を示し、NはNチャネルFET 22をオンさせている期間を示している。このようにして、ロードドライバIC 2、3の出力端子O₁、…、O₄₀から走査電圧が順に出力される。この場合、各走査電極11の両側から走査電圧が同時に印加されるため、走査電極11の配線抵抗による電圧のなまりが低減され、輝度むらを少なくすることができる。なお、図3では正フィールドにおける動作状態を示しているが、負フィールドにおいては、PCバー信号のハイレベル、ローレベルが正フィールドの場合と逆になって、負フィールドでの走査電圧が出力されるようになっている。

【0020】また、この実施形態においては、上記したように走査電圧を出力する前後の期間において出力Oがハイインピーダンス状態になるようにしているから、ロードドライバIC 2、3から出力される走査電圧の立ち上がり、立ち下がりタイミングを同じにして、走査電極11の両側から同じ波形の走査電圧を同時に印加することができる。従って、ロードドライバIC 2、3における回路動作上の遅延、例えばゲート遅延、配線遅延などにより一方の出力がハイレベル、他方の出力がローレベルになってロードドライバIC 2、3が短絡し、過大電流が流*

*れるのを防止することができる。特に、ELディスプレイのような比較的高電圧で駆動するディスプレイや、走査電極が抵抗の低い金属で形成されたディスプレイにおいて効果が大きい。

【0021】なお、上記した実施形態においては、走査電極11に対してその両側から走査電圧を印加するものを示したが、データ電極12において電圧波形のなまりが問題になるのであればその両側にカラムドライバIC 4を設けてデータ電極12の両側からデータ電圧を同時に印加するようにしてもよく、また走査電極11およびデータ電極12のそれぞれに対して両側から同じドライバICの出力電圧を同時に印加するようにしてもよい。

【0022】また、EL素子によるマトリクス型の表示装置以外に、液晶によるマトリクス型の表示装置に本発明を適用するようにしてもよい。

【図面の簡単な説明】

【図1】本発明の一実施形態にかかるEL表示装置の構成図である。

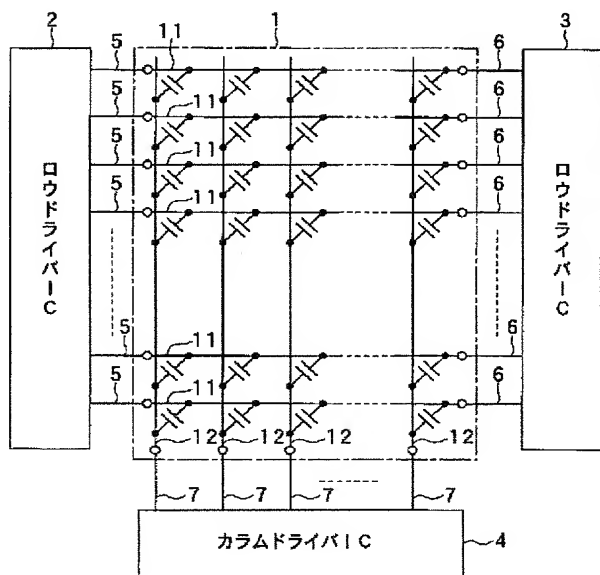
【図2】ロードドライバIC 2、3の具体的構成を示す回路図である。

【図3】ロードドライバ2、3の作動説明に供するタイミングチャートである。

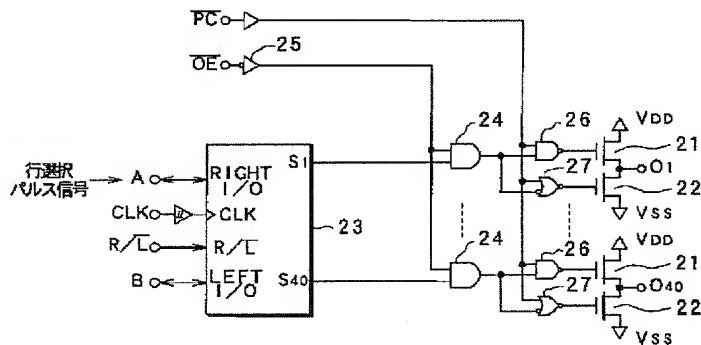
【符号の説明】

1…EL表示パネル、2、3…ロードドライバIC、4…カラムドライバIC、5～7…通電線。

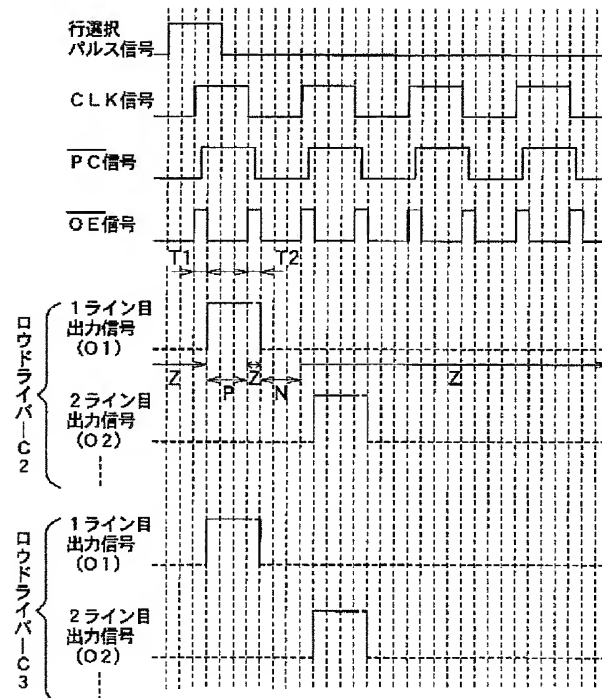
【図1】



【図2】



【図 3】



フロントページの続き

(51) Int. Cl. ⁷

G 0 9 G 3/36

識別記号

F I

G 0 9 G 3/36

テーマコード (参考)

(72) 発明者 長田 雅彦

愛知県刈谷市昭和町 1 丁目 1 番地 株式会
社デンソー内

F ターム (参考) 2H092 GA05 HA04 HA12 PA06

2H093 NA20 NA33 NA43 NB12 NC12
NC16 NC22 ND53

5C006 AC02 AC22 AF42 AF50 AF71
BB12 BC03 BF26 BF34 FA16
FA22

5C080 AA06 AA10 BB05 DD05 DD19
EE25 FF07 FF12 JJ02 JJ03
JJ04